

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-249830

(43)Date of publication of application : 27.09.1996

(51)Int.Cl. G11B 20/14
G11B 7/00

(21)Application number : 07-049566

(71)Applicant : NEC CORP

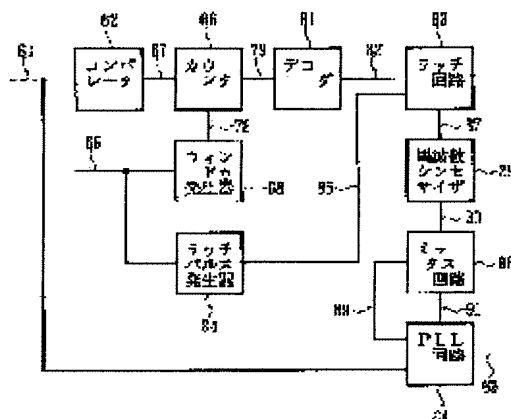
(22)Date of filing : 09.03.1995

(72)Inventor : NAKAMURA KAZUYUKI

(54) DISK MEDIUM RECORDING/REPRODUCING METHOD AND CLOCK SIGNAL GENERATING DEVICE**(57)Abstract:**

PURPOSE: To generate such reference clocks with simple control, in which the frequencies for reproducing the data are different for every track of a disk medium.

CONSTITUTION: The repetitive pattern of the frequency corresponding to the reference clock signal of the digital data stored in the track is recorded on each track of the disk medium. A regenerative signal 61 regenerating the pattern is fetched to a counter 66 only for a section of a gate pulse 78 generated by a window generator 68 to be counted. A decoder 81 forms the frequency division value setting data 82 based on the count value, and a frequency synthesizer 29 forms the signal 30 of the frequency added or subtracted to/from a voltage control oscillator of a PLL circuit 64 based on the data 82 to supply it to a mixing circuit 88. The output of the PLL circuit 64 becomes the reference clock signal.

**LEGAL STATUS**

[Date of request for examination] 09.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2842285

[Date of registration] 23.10.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 23.10.2002

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-249830

(43)公開日 平成8年(1996)9月27日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|--------------------|-----------------------|--------------|
| G 1 1 B 20/14 7/00 | 3 5 1 | 9463-5D 9464-5D | G 1 1 B 20/14 7/00 | 3 5 1 A T |

審査請求 有 請求項の数5 O L (全 9 頁)

(21)出願番号 特願平7-49566

(22)出願日 平成7年(1995)3月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中村 和幸

東京都港区芝五丁目7番1号 日本電気株式会社社内

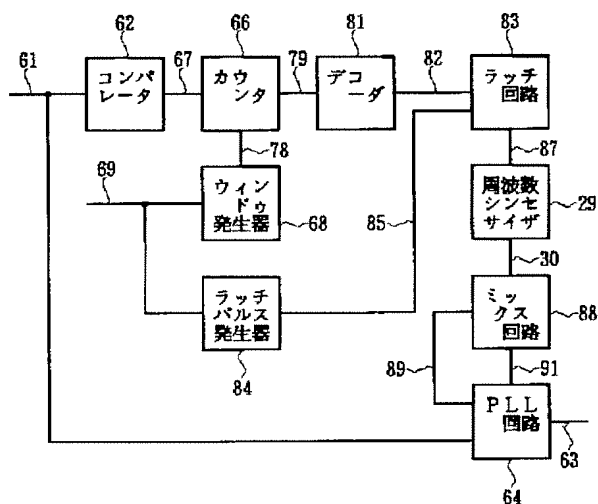
(74)代理人 弁理士 山内 梅雄

(54)【発明の名称】 ディスク媒体記録再生方法およびクロック信号発生装置

(57)【要約】

【目的】 ディスク媒体のトラックごとにデータ再生のための基準クロック信号の周波数が異なるような場合でも、簡易な制御でこれらの基準クロック信号を発生させる。

【構成】 ディスク媒体の各トラックには、そのトラックに格納されるデジタル・データの基準クロック信号に対応した周波数の繰り返しパターンが記録されている。これを再生した再生信号61はウィンドウ発生器68の発生させるゲートパルス78の区間だけカウンタ66に取り込まれ、計数される。デコーダ81はこの値を基に分周値設定用データ82を作成し周波数シンセサイザ29がこれを基にPLL回路64の電圧制御発振器に加算または減算する周波数の信号30を作成しミックス回路88に供給する。PLL回路64の出力が基準クロック信号となる。



【特許請求の範囲】

【請求項1】 トラックごとにデジタル・データの記録を行うディスク媒体のそれぞれのトラックの前記デジタル・データの記録領域よりも手前の読取領域に、そのトラックのデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録しておき、それぞれのトラックの再生に際しては再生の対象となるトラックにおける前記デジタル・データの記録領域よりも手前の読取領域に記録された前記繰り返しパターンを再生し、これを基にそのトラックの基準クロック信号を作成して前記デジタル・データの記録領域に記録されたデジタル・データの再生を行うことを特徴とするディスク媒体記録再生方法。

【請求項2】 前記デジタル・データの記録領域と前記繰り返しパターンの記録された領域の間には、そのトラックのアドレスを示すアドレス番号が記録されていることを特徴とする請求項1記載のディスク媒体記録再生方法。

【請求項3】 トラックごとにデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録したデジタル媒体の読み取りによって得られた再生信号から前記繰り返しパターンを一定時間カウントするカウント手段と、

このカウント手段によって得られた計数値に対応した基準クロック信号を発生させる基準クロック信号発生手段とを具備することを特徴とするクロック信号発生装置。

【請求項4】 前記カウント手段は、前記デジタル・データの再生を行うトラックの基準位置から予め定められた時間だけ前記再生信号を計数するカウンタであることを特徴とする請求項3記載のクロック信号発生装置。

【請求項5】 前記基準クロック信号発生手段は、前記カウント手段によって得られた計数値を分周値設定用のデータに変換するデコーダと、このデコーダの出力によって所定の周波数を発生させる周波数シンセサイザと、前記基準クロック信号を出力するためのPLL回路と、前記周波数シンセサイザの出力をこのPLL回路の電圧制御発振器の出力と混合するミックス回路とを具備することを特徴とする請求項3記載のクロック信号発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル・データの再生を行うための基準クロック信号の周波数を設定するための光ディスク等のディスク媒体に対する所定の情報の記録再生方法および、この記録された情報を基にして基準クロック信号を再生するためのクロック信号発生装置に係わり、詳細にはディスク媒体の各トラックで周波数の異なる再生データに同期した基準クロック信号を発生するためのディスク媒体記録再生方法およびクロック信号発生装置に関する。

【0002】

【従来の技術】 ディスク媒体にデジタルで記録する方式として基本的なものとして、CAV方式とCLV方式が存在する。前者のCAV方式では、ディスクを一定角速度で回転させ、ディスクのどのトラックでも一定の基準クロック信号で記録を行うようにしている。これに対して後者のCLV方式では、一定線速度となるように回転制御を行って、この状態で一定の基準クロック信号で記録を行うようにしている。したがって、前者のCAV方式は高速アクセス性に優れており、後者のCLV方式は記録密度が均一になる分だけ記録の高密度化を図ることができるという利点がある。

【0003】 これに対して、CWL-CAV方式は、ディスク上における1ビット当たりの波長が等しくなるように、それぞれのトラックの位置する半径に応じてデジタルデータの基準クロック周波数を変化させる方式である。このCWL-CAV方式は、CAV方式の高速アクセス性とCLV方式の記録密度とを同時に実現する優れた方式である。CWL-CAV方式では、基準クロック周波数が変化するので、信号を再生するための再生基準クロック信号発生回路としてPLL回路が使用されるのが通常である。

【0004】 図4は、例えば特開平2-158966号公報に開示されているこのような再生基準クロック信号発生用PLL回路を示したものである。この回路の再生等化器11には、図示しない再生ヘッドからピックアップされ、同じく図示しない再生アンプで増幅された再生データ信号12が入力されるようになっている。再生等化器11は、この再生データ信号12のパルス特性を改善し、その出力をAGC回路13に供給する。AGC回路13は振幅変動の低周波部分を除去する。この出力はA/D変換器14とコンパレータ15の双方に入力される。

【0005】 このうちA/D変換器14は、アナログレベルの入出力を量子化して量子化データとする。この量子化データは判別器16に入力され、元の記録用デジタルデータに復元される。このデジタルデータは再生信号処理部17に入力される。再生信号処理部17は現実には複数の回路によって構成されている。そして、入力されたデジタルデータを復号すると共に、誤り訂正を行う等の再生信号処理を行う。再生信号処理部17では、更に装置使用者に合った用途に供するために、その使用者に適したフォーマットにこの信号を再構成し、図示しない後段の回路部分に出力することになる。

【0006】 ところで、A/D変換器14、判別器16および再生信号処理部17には、データに同期した基準クロック信号18がバッファ19から供給されるようになっている。この基準クロック信号18の生成経路を次に説明する。

【0007】 AGC回路13からコンパレータ15に供

3

給された信号は、図示しない所定の基準レベルと比較されて2値化された後、その出力信号がPLL回路部21内の位相比較器22の一方の入力端子に入力される。PLL回路部21は、この位相比較器22と、その比較結果としての誤差信号を増幅する誤差増幅器23と、誤差増幅器の出力の低周波分を通過させるローパスフィルタ24と、このローパスフィルタ24の出力電圧に基づいた周波数で発信する電圧制御発振器(VCO)25と、この発信出力を混合器26を介して受け取り所定の帯域成分を通過させる帯域通過フィルタ27によって構成されている。帯域通過フィルタ27の出力は位相比較器22の他方の入力端子に供給されると共に、バッファ19に送出されるようになっている。

【0008】混合器26には周波数シンセサイザ29から出力される所定の周波数の信号30が供給されるようになっている。この周波数シンセサイザ29には、ディスクのトラックアドレス31を解読するデコーダ32からその解読結果33が供給されており、これに応じた周波数の信号30が発生することになる。

【0009】このような従来の再生基準クロック信号発生用PLL回路では、PLL回路部21内の帯域通過フィルタ27を通して電圧制御発振器25と周波数シンセサイザ29の和成分あるいは差成分が抽出され、位相比較器22で比較される。これにより、この和あるいは差が再生信号の基準クロック周波数と等しくなるように制御が行われる。

【0010】CWL-CAV方式では、基準クロック周波数が広範囲にわたって変化する。そこで、クロック周波数の範囲すべてを電圧制御発振器25の可変範囲で網羅すると、わずかなノイズが発生しても基準クロック信号の大きな変動を招くことになり、元の周波数に復帰するために時間を要したり、あるいは基準クロック周波数が変動している間の記録再生装置の出力が大きく乱れてしまうといった不具合を発生させる。

【0011】そこで、この再生基準クロック発生用PLL回路では、電圧制御発振器25の可変範囲を制限すると共に、周波数シンセサイザ29の安定な周波数との和または差をとって、この信号を再生する信号に同期させるという方法をとっている。すなわち、得られた和または差のとられた信号34がバッファ19を通して、A/D変換器14、判別器16および再生信号処理部17に基準クロック信号18として分配されることになる。

【0012】図5は、図4に示した周波数シンセサイザの構成を具体的に表わしたものである。周波数シンセサイザ29は、水晶発振器等の安定した発振器から構成され基準となる周波数を発振する基準周波数発振器41と、これから出力される基準周波数を一方の入力端子に入力する位相比較器42と、この位相比較器42による基準周波数とプログラブルカウンタ44の出力との比較結果を入力する誤差増幅器45と、この誤差増幅器4

4

5の出力の低周波成分を通過させるローパスフィルタ46と、このローパスフィルタ46の出力電圧に応じた周波数を出力する電圧制御発振器47とを備えており、電圧制御発振器47の発振出力としての所定の周波数の信号30はプログラブルカウンタ44に入力され、制御データ入力48に応じて分周されるようになっている。

【0013】プログラブルカウンタ44の出力は位相比較器42で比較されて、この値に応じて周波数の制御が行われる。すなわち、電圧制御発振器47の発振出力は、プログラブルカウンタ44の分周比を“N”とすると、基準周波数発振器41の出力のN倍の周波数となるように制御される。

【0014】ディスクの再生時の基準クロック周波数は、再生トラックの位置に一意に対応している。そこで従来ではこのプログラブルカウンタ44の分周値の制御に、再生するトラックの位置情報を変換したものを制御データ入力48として使用していた。このようなものとしては、トラックのアドレス番号やそれをデコードした値を挙げることができる。

【0015】ところで、トラックのアドレス番号は、本来、データのアクセスのためのヘッド位置の制御に使用されるものであり、高い精度と信頼性が要求されている。したがって、このトラックのアドレス番号には、同期信号や誤り検出符号の一種であるCRC符号の付加が行われており、更に多数決判定を行うために多重書き込み等の処理が施されて記録が行われている。そこで、このような制御データ入力48を得るために、所定の変換操作が必要である。

【0016】図6は、図5に使用した制御データ入力を得るための回路部分を表わしたものである。ディスクから再生した該当するトラックのアドレスを含んだ再生信号51はコンパレータ52に入力され、所定の基準レベルと比較されて2値化される。コンパレータ52の出力は同期検出回路53に入力され、同期検出のためのタイミング基準マーカの検出が行われる。同期検出回路53の出力は誤り検出回路54に入力され、前記したCRCの検査が行われる。誤り検出回路54の出力は、判別器55に入力され、ここでトラックのアドレス番号への解読が行われる。解読されたアドレスは次のアドレスの算出器56に入力され、次にアクセスすべきトラックのアドレスが算出される。算出されたアドレスはデコーダ57に入力されて解読されて図5に示すプログラブルカウンタ44に供給するための制御データ入力48が得られることになる。

【0017】

【発明が解決しようとする課題】このように従来の基準クロック信号の再生のためのクロック信号発生装置では、高精度および高信頼性の検出系に使用されるトラックの位置情報を兼用するようにしている。このため、必要な情報を検出するために時間を要することになった。

5

また、ランダムなアクセスに際しては、トラックのアドレス番号そのものではなく、アクセス先のトラックのアドレス番号を必要とする。したがって、連続再生を行う場合でも次に再生する位置のトラックのアドレスを前もって供給する必要がある。このように、アクセスの条件に応じて、装置のシステムの制御を通じて該当するトラックのアドレス番号を供給する必要があり、制御系が複雑化し大規模化するといった問題があった。

【0018】そこで本発明の目的は、ディスク媒体のトラックごとにデータ再生のための基準クロック信号の周波数が異なるような場合でも、簡易な制御でこれらの基準クロック信号を発生させることのできるディスク媒体記録再生方法およびクロック信号発生装置を提供することにある。

【0019】

【課題を解決するための手段】請求項1記載の発明では、トラックごとにデジタル・データの記録を行うディスク媒体のそれぞれのトラックの前記したデジタル・データの記録領域よりも手前の読取領域に、そのトラックのデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録しておき、それぞれのトラックの再生に際しては再生の対象となるトラックにおける前記したデジタル・データの記録領域よりも手前の読取領域に記録された前記した繰り返しパターンを再生し、これを基にそのトラックの基準クロック信号を作成して前記したデジタル・データの記録領域に記録されたデジタル・データの再生を行うことを特徴としている。

【0020】すなわち請求項1記載のディスク媒体記録再生方法によれば、デジタル媒体の各トラックに記録されたデジタル・データの再生のための基準クロック信号の周波数が異なるような場合でも、それぞれのトラックにデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録し、これを再生するようにしているので、これを基にして基準クロック信号の再生を行うことができる。

【0021】請求項2記載の発明では、請求項1記載の発明におけるデジタル・データの記録領域と繰り返しパターンの記録された領域の間には、そのトラックのアドレスを示すアドレス番号が記録されているので、この区間の読み取りを行っている間にデジタル・データの再生のための基準クロック信号の作成を行うことができる。しかもアドレス番号等のデータの構造が複雑であっても、これとは直接関係なく基準クロック信号を再生することができる。

【0022】請求項3記載の発明では、(イ)トラックごとにデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録したデジタル媒体の読み取りによって得られた再生信号から前記した繰り返しパターンを一定時間カウントするカ

6

ウント手段と、(ロ)このカウント手段によって得られた計数値に対応した基準クロック信号を発生させる基準クロック信号発生手段とをクロック信号発生装置に具備させることを特徴としている。

【0023】すなわち請求項3記載の発明では、トラックごとにデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録したデジタル媒体に対するデータの再生を行うときに、再生の対象となるトラックの繰り返しパターンを一定時間カウントし、その結果得られた計数値に対応させて基準クロック信号を発生させることにし、これをそのトラックのデジタル・データの再生に使用することで、複雑な制御を行うことなく各トラックのデジタル・データの再生のための基準クロック信号を得ることにしている。

【0024】請求項4記載の発明では、請求項3記載の発明におけるカウント手段は、繰り返しパターンの再生タイミングを特定するために、前記したデジタル・データの再生を行うトラックの基準位置から予め定められた時間だけ再生信号を計数するカウンタを使用している。トラックの基準位置を求めるには、例えば、デジタル回転制御サーボ基準信号を使用することができる。

【0025】請求項5記載の発明では、請求項3記載の発明における基準クロック信号発生手段は、カウント手段によって得られた計数値を分周値設定用のデータに変換するデコーダと、このデコーダの出力によって所定の周波数を発生させる周波数シンセサイザと、前記した基準クロック信号を出力するためのPLL回路と、周波数シンセサイザの出力をこのPLL回路の電圧制御発振器の出力と混合するミックス回路とを具備することを特徴としている。

【0026】このように周波数シンセサイザとPLL回路の2段構成で基準クロック信号の作成を行い、周波数シンセサイザ側に分周値設定用のデータを入力することで、基準クロック信号がトラックによって大きく変化するときであってもノイズ等に強い信頼性の高い基準クロック信号を作成することができる。

【0027】

【実施例】以下実施例につき本発明を詳細に説明する。

【0028】図1は本発明の一実施例におけるクロック信号発生装置の構成の概要を表わしたものである。この図には示していないディスクの読み取りによる再生信号61は、必要により等化されコンパレータ62に入力されると共に、ディスクに記録されたデータの再生に使用するための基準クロック信号63を作成するためのPLL回路64にも入力されるようになっている。

【0029】コンパレータ62に入力された再生信号61は、所定の基準レベルと比較されて2値化される。カウンタ66は、再生信号61がディスクの所定の領域に記録された繰り返しパターンに対応する状態で予め定め

7

られた期間内の2値化出力67の計数を行う。このようにカウンタ66がカウント動作を行うタイミングを設定するためにウィンドウ発生器68が設けられている。ウィンドウ発生器68は、このためにディスクについての回転制御サーボ基準信号69が供給されるようになって

【0030】図2は、本実施例で再生に使用されるディスクのトラックについてのデータ構成を示したものである。光ディスク等のディスク71が矢印72方向に回転するものとする、代表的に1つだけ示したトラック73は、繰り返しパターン記録可能領域74と、これに続くトラックアドレス番号領域75と、更にこれに続くデジタル・データ領域76から構成されるようになって

【0031】ここで繰り返しパターン記録可能領域74には、そのトラック上のデジタル・データ領域76に格納されるデジタル・データの基準クロック信号に対応した周波数の繰り返しパターンが記録されている。例えば(1, 7) RLL (RunLength Limited) 変調デジタル記録方式で記録を行うようにすれば、最低繰り返し周波数となるクロックの1/16の周波数の繰り返しパターンを記録することができる。このような繰り返しパターンは、ディスク71の製造時に作成しておくようにしてもよいし、図1に示した回転制御サーボ基準信号69によって生成されたゲート信号によってディスク書き込みのための装置で記録を行うようにしてもよい。

【0032】図1に戻って説明を続ける。ウィンドウ発生器68は、回転制御サーボ基準信号69を基にして、ディスク中心から読み取りの行われるトラック73の距離に関係せず一定時間幅のゲートパルス78を生成する。このゲートパルス78はイネーブル信号としてカウンタ66に供給される。このようにして、コンパレータ62で2値化された後の2値化出力67がゲートパルス78の印加された所定時間だけカウントされることになる。

【0033】このカウント値を表わしたカウント値データ79はデコーダ81に供給され、分周値設定用データ82に変換される。分周値設定用データ82とは、図2に示したディスク71の中心から距離Lだけ離れた位置に存在するトラック73に対応したデジタル・データの基準クロック信号を発生させるための分周値を設定するデータである。本実施例では前記したCWL-CAV方式でデジタル・データの記録と再生を行うようになっている。

【0034】ラッチ回路83は、デコーダ81から分周値設定用データ82の供給を受け、ラッチパルス発生器84からホールド用ラッチパルス85が送られてくるタイミングでこれをラッチする。ラッチパルス発生器84はこのホールド用ラッチパルス85を回転制御サーボ基

8

準信号69を基にして作成している。ラッチ回路83はこれ以降、図2に示したデジタル・データ領域76を再生している区間にわたって分周値設定用データ82をラッチし、このラッチ出力87を周波数シンセサイザ29に供給する。

【0035】ここで周波数シンセサイザ29は図5で示した構成の回路であり、このプログラマブルカウンタ44にラッチ出力87が従来の制御データ入力48と同様に入力され、分周数の設定に用いられることになる。

【0036】図3は、図1に示したクロック信号発生装置におけるプログラマブルカウンタの分周比設定のために用いられる各種信号を示したものである。こうち同図(a)は回転制御サーボ基準信号69の発生タイミングを示している。回転制御サーボ基準信号69の発生した時点を経験として同図(c)に示すゲートパルス78がウィンドウ発生器68からイネーブル信号としてカウンタ66に供給される。このゲートパルス78が立ち下がっている区間だけ、カウンタ66は図3(b)に示すパルス状の2値化出力67をカウントし、その結果をカウント値データ79としてデコーダ81に供給する。デコーダ81の解読結果は、図3(d)に示すホールド用ラッチパルス85によってラッチ回路83にラッチされることになる。図1に示した周波数シンセサイザ29は、ラッチ出力87を基にして所定の周波数の信号30をミックス回路88に供給することになる。

【0037】ミックス回路88は、図4に示した混合器26と同様であり、PLL回路64の電圧制御発振器25(図4参照)から得られる発信出力89をこのミックス回路88に入力させて、所定の周波数の信号30と和または差をとるようにしている。このようにして得られたミックス回路出力91はPLL回路64の帯域通過フィルタ27(図4参照)に供給され、和または差のとられた信号63(図4の信号34参照)が例えば図4と同様の回路部分におけるバッファ19を通して、A/D変換器14、判別器16および再生信号処理部17に基準クロック信号18として分配されることになる。

【0038】ところで、本実施例のクロック信号発生装置は繰り返しパターンの部分を再生してから、周波数シンセサイザ29のプログラマブルカウンタ44(図5参照)の制御入力にラッチ回路83の出力が加わるまでに所定の遅延時間が生じる。しかしながら、この時間遅延要素は、カウンタ66、デコーダ81およびラッチ回路83の各回路のゲート部分であり、これらによる遅延は100nSの範囲である。

【0039】したがって、任意のトラック73におけるデジタル・データについての基準クロック信号18を発生させるPLL回路64のための、プログラマブルカウンタ44の制御を、図2に示したデジタル・データ領域76の再生が開始する以前に終了させることができる。また、ラッチ回路83でラッチ出力87が保持され

るので、次のトラックで新たな周波数の基準クロック信号18が作成されるまで、その値が保持されることになる。

【0040】

【発明の効果】以上説明したように請求項1および請求項2記載の発明によれば、デジタル媒体の各トラックに記録されたデジタル・データの再生のための基準クロック信号の周波数が異なるような場合でも、それぞれのトラックにデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録し、これを再生するようにしているので、これを基にして基準クロック信号の再生を簡単に行うことができる。しかもトラック番号等のない簡易なディスク・システムについても基準クロック信号を用いたディスクデータの記録および再生が可能である。

【0041】また、本発明では基準クロック信号に対応した周波数の繰り返しパターンを記録し、これを再生するようにしているので、繰り返しパターンに基準クロック信号との位相関係や周波数の比例関係が必要とされるものではなく、記録される繰り返しパターンの形式に自由度が高いという効果もある。

【0042】また、請求項2記載の発明によれば、各トラックのデジタル・データの記録領域と繰り返しパターンの記録された領域の間には、トラックのアドレスを示すアドレス番号が記録されているので、この区間の読み取りを行っている間にデジタル・データの再生のための基準クロック信号の作成を行うことができる。しかもアドレス番号等のデータの構造が複雑であっても、これとは直接関係なく基準クロック信号を再生することができるという効果がある。

【0043】更に、請求項3～請求項5記載の発明によれば、トラックごとにデジタル・データの再生に使用する基準クロック信号に対応した周波数の繰り返しパターンを記録したデジタル媒体に対するデータの再生を行うときに、再生の対象となるトラックの繰り返しパターンを一定時間カウントし、その結果得られた計数値に対応させて基準クロック信号を発生させることにしているので、これをそのトラックのデジタル・データの再生に使用することで、複雑な制御を行うことなく各トラックのデジタル・データの再生のための基準クロック信号を得ることができる。また、トラック番号等のない簡易なディスク・システムについても基準クロック信号を発生させることができる。

【0044】更に本発明の場合には繰り返しパターンを一定時間カウントし、その結果得られた計数値を用いて基準クロック信号を発生させるので、繰り返しパターンに基準クロック信号との位相関係や周波数の比例関係が必要とされるものではなく、基準クロック信号発生のための回路装置が単純化するという効果もある。

【0045】また、請求項4記載の発明によれば、請求項3記載の発明におけるカウント手段として、前記したデジタル・データの再生を行うトラックの基準位置から予め定められた時間だけ再生信号を計数するカウンタを使用することにした。このため、繰り返しパターンの再生タイミングが特定され、基準クロック信号を正確に作成することができる。

【0046】更に、請求項5記載の発明によれば、周波数シンセサイザとPLL回路の2段構成で基準クロック信号の作成を行い、周波数シンセサイザ側に分周値設定用のデータを入力することにしたので、基準クロック信号がトラックによって大きく変化するときであってもノイズ等に強い信頼性の高い基準クロック信号を作成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるクロック信号発生装置の構成の概要を表わしたブロック図である。

【図2】本実施例で再生に使用されるディスクのトラックについてのデータ構成を示した説明図である。

【図3】図1に示したクロック信号発生装置におけるプログラマブルカウンタの分周比設定のために用いられる各種信号を示した波形図である。

【図4】クロック信号発生回路としての再生基準クロック発生用PLL回路の概要を表わしたブロック図である。

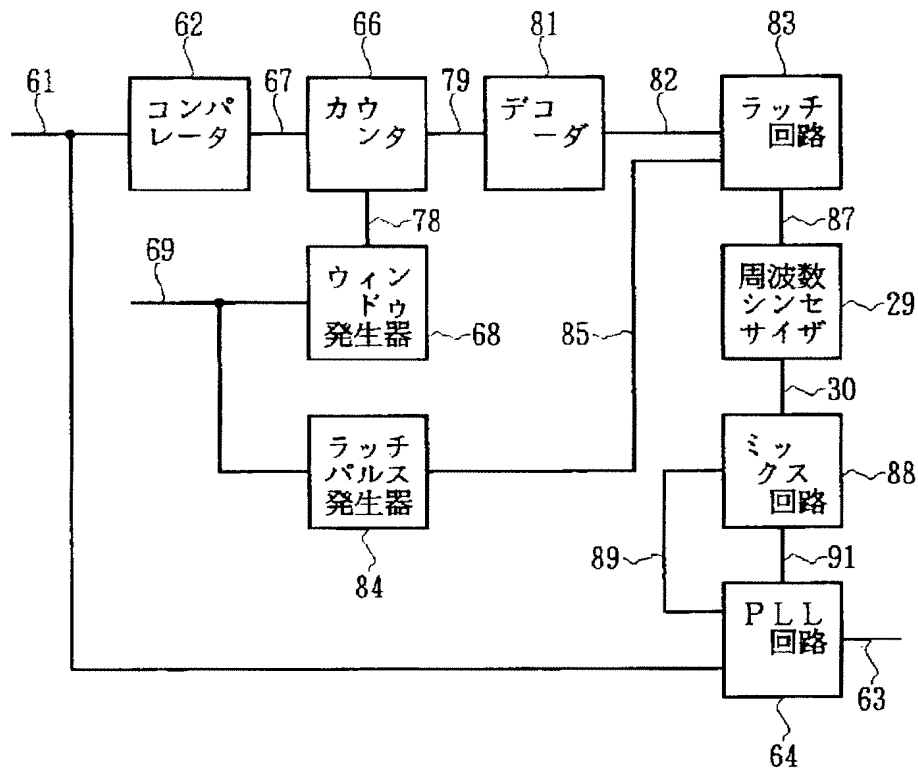
【図5】図4に示した周波数シンセサイザの構成を具体的に表わしたブロック図である。

【図6】図5に使用した制御データ入力を得るための従来提案された回路部分を表わしたブロック図である。

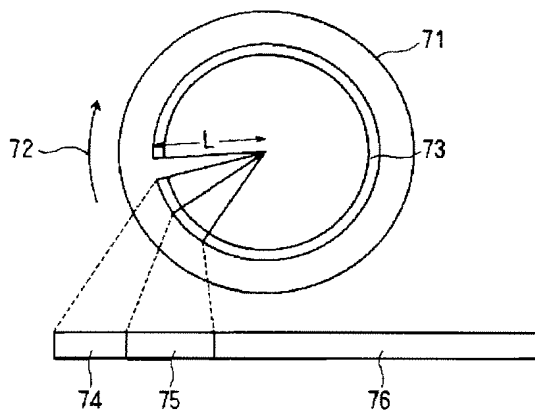
【符号の説明】

- 18 基準クロック信号
- 61 再生信号
- 62 コンパレータ
- 63 和または差のとられた信号（基準クロック信号）
- 64 PLL回路
- 67 パルス状の2値化出力
- 66 カウンタ
- 68 ウィンドウ発生器
- 69 回転制御サーボ基準信号
- 71 ディスク
- 73 （任意の）トラック
- 74 繰り返しパターン記録可能領域
- 76 デジタル・データ領域
- 81 デコーダ
- 83 ラッチ回路
- 84 ラッチパルス発生器
- 88 ミックス回路
- 89 （電圧制御発振器から得られる）発信出力

【図1】



【図2】



【図3】

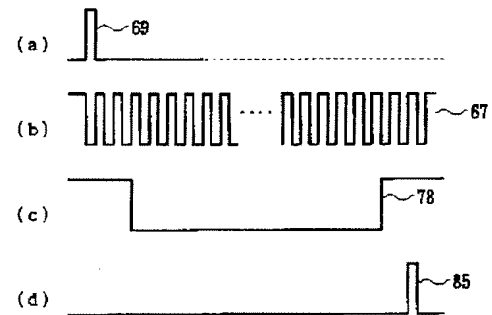


Figure 1 is a block diagram of a PLL circuit. The circuit includes a regenerator (11), AGC (13), A/D converter (14), discriminator (16), and regenerative signal processing section (17) in the top row. A feedback loop (18) connects the discriminator to a phase-locked loop section (21) enclosed in a dashed box. The PLL section contains a phase comparator (22), error amplifier (23), LPF (24), VCO (25), and BPF (26). A decoder (31) and frequency synthesizer (29) are at the bottom, connected to a common bus (33).

【図6】

